



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Isao TAKAMI

Serial No.: 10/687,967

Mail Stop Patent Application

Filed: October 20, 2003

Attorney Docket No. OKI.591

For: A SEMICONDUCTOR DEVICE HAVING FULLY AND PARTIALLY DEPLETED
SOI ELEMENTS ON A SUBSTRATE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under
the International Convention of the following Japanese application:

Appln. No. 2002-310494

filed October 25, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 4, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 5 日
Date of Application:

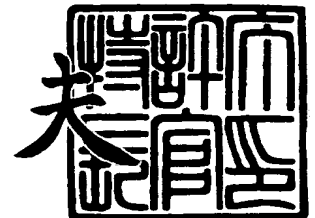
出 願 番 号 特 願 2 0 0 2 - 3 1 0 4 9 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 0 4 9 4]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 MA001405

【提出日】 平成14年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786
H01L 21/265
H01L 27/12

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 望月 麻理恵

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 SOI基板の完全空乏型MOSFETを形成するための領域である完全空乏型MOSFET形成領域においては前記SOI基板のSOI層の不純物濃度を D_f [cm^{-3}]にし、前記SOI基板の部分空乏型MOSFETを形成するための領域である部分空乏型MOSFET形成領域においては前記SOI層の不純物濃度を D_p [cm^{-3}]にするように、前記SOI層に不純物を導入する工程と、

前記完全空乏型MOSFET形成領域及び前記部分空乏型MOSFET形成領域のそれぞれに、前記SOI層をチャネル領域としたN型MOSFETを形成する工程とを有し、

前記SOI層の膜厚 t_s [nm]が28 [nm]以上42 [nm]以下の範囲内にある場合に、

不純物濃度 D_f [cm^{-3}]が条件(1)及び(2)、

$$D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (1)$$

$$D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \quad \dots (2)$$

を満足し、

不純物濃度 D_p [cm^{-3}]が条件(3)及び(4)、

$$D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (3)$$

$$D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \quad \dots (4)$$

を満足する

ことを特徴とする半導体装置の製造方法。

【請求項2】 不純物濃度 D_f [cm^{-3}]が条件(5)、

$$D_f \leq 3.00 \times 10^{15} \times (102.67 - t_s) \quad \dots (5)$$

をさらに満足することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 不純物濃度 D_p [cm^{-3}]が条件(6)、

$$D_p \geq 3.29 \times 10^{15} \times (125.70 - t_s) \quad \dots (6)$$

をさらに満足することを特徴とする請求項1又は2のいずれかに記載の半導体装

置の製造方法。

【請求項 4】 前記 S O I 層の膜厚 t_s [nm] が 38 [nm] 以上 42 [nm] 以下の範囲内にある場合に、

不純物濃度 D_f [cm^{-3}] を 1.9×10^{17} [cm^{-3}] 以下にし、
不純物濃度 D_p [cm^{-3}] を 2.2×10^{17} [cm^{-3}] 以上にした
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記 S O I 層の膜厚 t_s [nm] が 33 [nm] 以上 37 [nm] 以下の範囲内にある場合に、

不純物濃度 D_f [cm^{-3}] を 2.5×10^{17} [cm^{-3}] 以下にし、
不純物濃度 D_p [cm^{-3}] を 2.7×10^{17} [cm^{-3}] 以上にした
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記 S O I 層の膜厚 t_s [nm] が 28 [nm] 以上 32 [nm] 以下の範囲内にある場合に、

不純物濃度 D_f [cm^{-3}] を 2.7×10^{17} [cm^{-3}] 以下にし、
不純物濃度 D_p [cm^{-3}] を 3.2×10^{17} [cm^{-3}] 以上にした
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 S O I 層を有する S O I 基板と、
前記 S O I 層をチャネル領域とした完全空乏型の N 型 MOS F E T と、
前記 S O I 層をチャネル領域とした部分空乏型の N 型 MOS F E T と
を有し、

前記 S O I 層の膜厚 t_s [nm] が 28 [nm] 以上 42 [nm] 以下の範囲内にある場合に、

前記完全空乏型の N 型 MOS F E T のチャネル領域の不純物濃度 D_f [cm^{-3}] が条件 (1) 及び (2)、

$$D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \cdots (1)$$

$$D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \quad \cdots (2)$$

を満足し、

前記部分空乏型の N 型 MOS F E T のチャネル領域の不純物濃度 D_p [cm^{-3}] が条件 (3) 及び (4)、

$$D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (3)$$

$$D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \quad \dots (4)$$

を満足する

ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同じSOI（Silicon On Insulator）基板上にゲート閾値電圧の小さい完全空乏型（Fully Depleted：FD）MOSFET（MOS型電界効果トランジスタ）及びゲート閾値電圧の大きい部分空乏型（Partly Depleted：PD）MOSFETを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

同じSOI基板上にFD-MOSFET及びPD-MOSFETを備えた半導体装置及びその製造方法の提案がある（例えば、特許文献1及び2参照）。

【0003】

【特許文献1】

特開平9-135030号公報（図5、段落0026）

【特許文献2】

特開平11-298001号公報（図2、段落0021及び0022）

【0004】

【発明が解決しようとする課題】

しかしながら、素子の微細化に伴いSOI基板のSOI層（単結晶シリコン層）の膜厚を薄くすると、SOI層の膜厚ばらつき（即ち、素子のチャネル領域の厚さのばらつき）に起因するMOSFETの電気的特性（例えば、ゲート閾値電圧）のばらつきが大きくなり、形成されたMOSFETの中に所望の動作をしないものが含まれるという問題が生じる。

【0005】

詳細に言えば、以下の項目①～③の通りである。

- ①SOI基板のSOI層には膜厚ばらつき（同じSOI層内における膜厚の変動、即ち、製造上必ず発生するSOI層の膜厚不均一性）が存在する。
- ②SOI層の膜厚ばらつきの大きさはSOI層の膜厚に依存しないので、SOI層の膜厚を薄くすると、SOI層の膜厚に対する膜厚ばらつきの割合は大きくなる。例えば、SOI層の平均膜厚が100[nm]で膜厚ばらつきが ± 2 [nm]であるSOI基板（SOI層の膜厚に対する膜厚ばらつきの割合は、 $\pm 2 / 100 = \pm 0.02$ である）について、SOI層の平均膜厚を50[nm]にするエッチング処理を施すと、SOI層の平均膜厚が50[nm]で膜厚ばらつきが ± 2 [nm]であるSOI基板（SOI層の膜厚に対する膜厚ばらつきの割合は、 $\pm 2 / 50 = \pm 0.04$ に増加する）になる。
- ③SOI層をチャネル領域としてSOI基板上に形成されたMOSFETの電気的特性（例えば、ゲート閾値電圧）のばらつきは、SOI層の膜厚に対する膜厚ばらつきの割合が大きくなるほど大きくなる。従って、SOI層の膜厚が非常に薄いSOI基板上に形成されたMOSFETの電気的特性のばらつきは大きくなり、形成されたMOSFETの中に所望の動作をしないものが含まれるという問題が生じる。

【0006】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、SOI層の膜厚が非常に薄いSOI基板上に、同じSOI層をチャネル領域とし、電気的特性ばらつきの小さいFD-MOSFET及びPD-MOSFETを備えた半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、SOI基板の完全空乏型MOSFETを形成するための領域である完全空乏型MOSFET形成領域においてはSOI基板のSOI層の不純物濃度を D_f [cm^{-3}]にし、SOI基板の部分空乏型MOSFETを形成するための領域である部分空乏型MOSFET形成領域においては前記SOI層の不純物濃度を D_p [cm^{-3}]にするように、前記SOI

層に不純物を導入する工程と、完全空乏型MOSFET形成領域及び部分空乏型MOSFET形成領域のそれぞれに、前記SOI層をチャネル領域としたN型MOSFETを形成する工程とを有する。加えて、SOI層の膜厚 t_s [nm] が28 [nm] 以上42 [nm] 以下の範囲内にある場合に、不純物濃度 D_f [cm^{-3}] が条件(1) 及び(2)、

$$D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (1)$$

$$D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \quad \dots (2)$$

を満足するようにし、不純物濃度 D_p [cm^{-3}] が条件(3) 及び(4)、

$$D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (3)$$

$$D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \quad \dots (4)$$

を満足するようにする。

【0008】

【発明の実施の形態】

<半導体装置の製造方法>

図1から図3まではそれぞれ、本発明の実施の形態に係る半導体装置の製造方法における製造プロセス(その1~3)を示す概略的な断面図である。

【0009】

本発明の実施の形態に係る半導体装置の製造方法においては、先ず、図1に示されるような(図1には一部分のみが示されている。)SOI基板(SOIウェハ)10を用意する。図1に示されるように、SOI基板10は、シリコン基板11と、埋め込み酸化膜(BOX膜)12と、SOI層(単結晶シリコン層)13とを順に重ねた構造を持つ。SOI層13の膜厚 t_s [nm] は、28 [nm] 以上42 [nm] 以下の範囲内にある。また、SOI層13の膜厚 t_s が、所望の値より厚い場合には、エッチング等によりSOI層13を薄膜化して(通常は、SOI層13の全域を均一に薄膜化して)、28 [nm] 以上42 [nm] 以下の所望の膜厚にする。

【0010】

次に、図1に示されるように、不純物イオン(図1の矢印)の打ち込み等によりSOI層13に不純物を導入する。この不純物導入プロセスは、完全空乏型M

OSFET (FD-MOSFET) を形成するための領域である完全空乏型 MOSFET 形成領域 (FD-MOSFET 形成領域) 1 と、部分空乏型 MOSFET (PD-MOSFET) を形成するための領域である部分空乏型 MOSFET 形成領域 (PD-MOSFET 形成領域) 2 の両方に対して行う。

【0011】

次に、図 2 に示されるように、不純物イオン (図 2 の矢印) の打ち込み等により SOI 層 13 に不純物を導入する。この不純物導入プロセスは、窒化シリコン膜 14 等を用いた選択的な不純物イオンの打ち込みにより、PD-MOSFET 形成領域 2 に対して行う。

【0012】

不純物導入プロセスは、上記した図 1 及び図 2 のプロセスには限定されない。例えば、不純物導入プロセスは、3 回以上の不純物イオンの打ち込みプロセスとしてもよい。また、図 1 及び図 2 の不純物導入プロセスの順序を逆にしてもよい。

【0013】

以上の不純物導入プロセスによって、FD-MOSFET 形成領域 1 における SOI 層 13 の不純物濃度 D_f [cm^{-3}] が、以下の条件 (1) 及び (2)、
$$D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (1)$$
$$D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \quad \dots (2)$$
を満足するようにする。条件 (1) は、SOI 層 13 をチャネル領域として形成される N 型 MOSFET を完全空乏型 (FD) 動作させる条件である。条件 (2) は、ドレイン電圧 V_d [V] が 1.5 [V] であり、ゲート電圧 V_g [V] が 0 [V] であるときに、ドレイン領域からソース領域に流れるスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] を 2.00×10^{-12} [$\text{A}/\mu\text{m}$] 以上にする条件、即ち、形成された FD-MOSFET が FD 動作する領域である FD 動作領域 (FD-MOSFET 形成領域 1 に対応する領域) においてゲート閾値電圧 V_t [V] のばらつき (標準偏差) σ [V] を小さくする条件である。なお、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] は、チャネル領域の幅 1 [μm] 当たりの電流値 [A] で示す。

【0014】

また、以上の不純物導入プロセスによって、PD-MOSFET形成領域2におけるSOI層13の不純物濃度 D_p [cm^{-3}]が、以下の条件(3)及び(4)、

$$D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (3)$$

$$D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \quad \dots (4)$$

を満足するようにする。条件(3)は、SOI層13をチャンネル領域として形成されるN型MOSFETを部分空乏型(PD)動作させる条件である。条件(4)は、ドレイン電圧 V_d [V]が1.5 [V]であり、ゲート電圧 V_g [V]が0 [V]であるときに、ドレイン領域からソース領域に流れるスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$]を 2.00×10^{-12} [$\text{A}/\mu\text{m}$]以下にする条件、即ち、形成されたPD-MOSFETがPD動作する領域であるPD動作領域(PD-MOSFET形成領域2に対応する領域)においてゲート閾値電圧 V_t [V]のばらつき σ [V]を小さくする条件である。

【0015】

次に、図3に示されるように、FD-MOSFET形成領域1及びPD-MOSFET形成領域2を分離するフィールド酸化膜15を、例えば、LOCOS法等により形成する。次に、FD-MOSFET形成領域1及びPD-MOSFET形成領域2のそれぞれに、SOI層13をチャンネル領域25, 35としたN型MOSFET20, 30を形成する(図3には、2個のMOSFETのみを示す)。図3にはLDD (Lightly Doped Drain) 構造のMOSFETを示す。ただし、本発明のMOSFET構造は図示のものに限定されない。図3に示されるように、FD-MOSFET形成領域1に形成されたFD-MOSFET20は、チャンネル領域25の上に形成されたゲート酸化膜21と、このゲート酸化膜21上に形成されたゲート電極22と、N型のソース領域23と、N型のドレイン領域24と、側壁酸化膜(サイドウォール)26とを有する。同様に、PD-MOSFET形成領域2に形成されたFD-MOSFET30は、チャンネル領域35の上に形成されたゲート酸化膜31と、このゲート酸化膜31上に形成されたゲート電極32と、N型のソース領域33と、N型のドレイン領域34と、側壁酸

化膜（サイドウォール）36とを有する。

【0016】

以上に説明したように、本発明の実施の形態に係る半導体装置の製造方法によれば、SOI層13の膜厚 t_s [nm]が非常に薄いSOI基板10上に、同じSOI層13をチャネル領域25、35とし、電気的特性のばらつきの小さいFD-MOSFET20及びPD-MOSFET30を形成できる。

【0017】

なお、本発明の実施の形態に係る半導体装置の製造方法において、FD-MOSFET形成領域1のSOI層13の不純物濃度 D_f [cm^{-3}]が以下の条件(5)、

$$D_f \leq 3.00 \times 10^{15} \times (102.67 - t_s) \quad \dots (5)$$

を満足するように構成してもよい。条件(5)は、ドレイン電圧 V_d [V]が1.5 [V]であり、ゲート電圧 V_g [V]が0 [V]であるときに、ドレイン領域からソース領域に流れるスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$]を 2.00×10^{-11} [$\text{A}/\mu\text{m}$]以上にする（即ち、条件(2)の場合より1桁大きくする）条件、即ち、FD動作領域においてゲート閾値電圧 V_t [V]のばらつき（標準偏差） σ [V]を小さくする条件である。この条件(5)を満たす場合には、FD-MOSFET形成領域1に形成されたN型MOSFETのゲート閾値電圧 V_t [V]のばらつき σ [V]を一層小さくできる。

【0018】

また、本発明の実施の形態に係る半導体装置の製造方法において、PD-MOSFET形成領域2のSOI層13の不純物濃度 D_p [cm^{-3}]が以下の条件(6)、

$$D_p \geq 3.29 \times 10^{15} \times (125.70 - t_s) \quad \dots (6)$$

を満足するように構成してもよい。条件(6)は、ドレイン電圧 V_d [V]が1.5 [V]であり、ゲート電圧 V_g [V]が0 [V]であるときに、ドレイン領域からソース領域に流れるスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$]を 2.00×10^{-13} [$\text{A}/\mu\text{m}$]以下にする（即ち、条件(4)の場合より1桁小さくする）条件、即ち、PD動作領域においてゲート閾値電圧 V_t [V]のばらつき σ [

V] を小さくする条件である。この条件 (6) を満たす場合には、PD-MOSFET 形成領域 2 に形成された N 型 MOSFET のゲート閾値電圧 V_t [V] のばらつき σ [V] を一層小さくできる。

【0019】

<条件 (1) 及び (3) の根拠>

図 4 は、SOI 層 13 の膜厚 t_s [nm] を固定した場合における、不純物濃度 D_s [cm^{-3}] と、基板電圧 $V_b = -2$ [V] 時及び基板電圧 $V_b = 0$ [V] 時のゲート閾値電圧 V_t [V] の変化量 ΔV_t [V] との関係を示す図である。図 4 は、実測データ及びこの実測データを用いたシミュレーションにより得られたデータに基づく。

【0020】

基板電圧 V_b [V] は、SOI 基板 10 のシリコン基板 11 に印加される電圧である。基板電圧 V_b [V] を負電圧 (例えば、 -2 [V]) にすると、ゲート閾値電圧 V_t [V] は大きくなる。一般に、FD-MOSFET におけるゲート閾値電圧 V_t [V] の変化量 ΔV_t [V] は大きく、PD-MOSFET におけるゲート閾値電圧 V_t [V] の変化量 ΔV_t [V] は小さい。従って、ゲート閾値電圧 V_t [V] の変化量 ΔV_t [V] を測定して、ゲート閾値電圧 V_t [V] の変化量 ΔV_t [V] が急激に変化している点において、MOSFET が FD 動作をするか PD 動作をするかを区別することができる。図 4 においては、変化量 ΔV_t [V] が急激に変化している範囲の間である ΔV_t [V] = 0.01 [V] の点を FD 動作領域か PD 動作領域かの境界とみなすことができる。従って、 $\Delta V_t = 0.014$ [V] である MOSFET は FD 動作し、 $\Delta V_t = 0.006$ [V] である MOSFET は PD 動作する。

【0021】

図 5 は、FD 動作領域及び PD 動作領域の境界が SOI 層 13 の不純物濃度 D_s [cm^{-3}] 及び SOI 層 13 の膜厚 t_s [nm] にどのように依存するかを示す図である。図 5 は、実測データ及びこの実測データを用いたシミュレーションにより得られたデータに基づく。

【0022】

図5において、 $\Delta V_t = 0.01$ [V] の曲線の左側の領域はFD動作領域であり、右側の領域はPD動作領域である。 $\Delta V_t = 0.01$ [V] の曲線はほぼ直線状であるので、点 P_1 及び点 P_2 を通る直線（図9に示す直線 P_1P_2 ）をFD動作領域（左側の領域）とPD動作領域（右側の領域）との境界と見なすことができる。

【0023】

図5（及び後述する図9）に示されるように、点 P_1 において、 $t_s = 42$ [nm] であり、 $D_s = 1.9 \times 10^{17}$ [cm⁻³] である。また、点 P_2 において、 $t_s = 28$ [nm] であり、 $D_s = 3.2 \times 10^{17}$ [cm⁻³] である。従って、点 P_1 と点 P_2 を通る直線 P_1P_2 は、

$$t_s = - \{ (14 / (1.3 \times 10^{17})) \} D_s + 62.46$$

となる。この式から、

$$\begin{aligned} D_s &= \{ (1.3 \times 10^{17}) / 14 \} \times (62.46 - t_s) \\ &= 9.29 \times 10^{15} \times (62.46 - t_s) \end{aligned}$$

が得られる。

【0024】

従って、SOI層13の不純物濃度 D_f [cm⁻³] が以下の条件（1）、 $D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s)$... (1) を満足するときに、MOSFETはFD動作をする。また、SOI層13の不純物濃度 D_p [cm⁻³] が以下の条件（3）、

$$D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \quad \dots (3)$$

を満足するときに、MOSFETはPD動作をする。

【0025】

<条件（2）及び（4）の根拠>

図6は、ドレイン電圧 V_d [V] が1.5 [V] のときのFD-MOSFET及びPD-MOSFETのスタンバイ電流 I_{off} [A/ μ m] とゲート閾値電圧 V_t [V] のばらつき（標準偏差） σ [V] との関係を示す図である。図6は、実測データ及びこの実測データに基づくシミュレーションによって得られたデータである。

【0026】

図6において、 $\Delta V_t = 0.014$ [V] の曲線はFD動作するFD-MOSFETに関するものであり、スタンバイ電流 I_{off} [$A/\mu m$] が小さくなるほど（図6において右端に近づくほど）、ゲート閾値電圧 V_t [V] のばらつき σ [V] が大きくなる。図6から分かるように、 $\Delta V_t = 0.014$ [V] の曲線は、スタンバイ電流 I_{off} [$A/\mu m$] が 2×10^{-12} [$A/\mu m$]（図では、「 $2.0E-12$ [$A/\mu m$]」とも表記する。）より小さくなると、急激に増加する。従って、FD-MOSFETは、スタンバイ電流 I_{off} [$A/\mu m$] が 2×10^{-12} [$A/\mu m$] 以上になるように製造することが望ましい。

【0027】

図6において、 $\Delta V_t = 0.006$ [V] の曲線はPD動作するPD-MOSFETに関するものであり、スタンバイ電流 I_{off} [$A/\mu m$] が大きくなるほど（図6において左端に近づくほど）、ゲート閾値電圧 V_t [V] のばらつき σ [V] が大きくなる。図6から分かるように、 $\Delta V_t = 0.006$ [V] の曲線は、スタンバイ電流 I_{off} [$A/\mu m$] が 2×10^{-12} [$A/\mu m$] より大きくなると、急激に増加する。従って、PD-MOSFETは、スタンバイ電流 I_{off} [$A/\mu m$] が 2×10^{-12} [$A/\mu m$] 以下になるように製造することが望ましい。

【0028】

図7は、ドレイン電圧 V_d [V] が 1.5 [V] のときにスタンバイ電流 I_{off} [$A/\mu m$] を 2×10^{-11} [$A/\mu m$]、 2×10^{-12} [$A/\mu m$]、 2×10^{-13} [$A/\mu m$] にするSOI層13の不純物濃度 D_s [cm^{-3}] 及びSOI層13の膜厚 t_s [nm] を示す図である。図7の各曲線に関するデータを表1に示す。

【0029】

【表1】

SOI層の膜厚 t_s [nm]	SOI層の不純物濃度 D_s [cm^{-3}]		
	V_d [V] = 1.5 I_{off} [$\text{A}/\mu\text{m}$] = $2.00\text{E}-11$ のとき	V_d [V] = 1.5 I_{off} [$\text{A}/\mu\text{m}$] = $2.00\text{E}-12$ のとき	V_d [V] = 1.5 I_{off} [$\text{A}/\mu\text{m}$] = $2.00\text{E}-13$ のとき
28	$2.35\text{E}+17$	$2.69\text{E}+17$	$3.21\text{E}+17$
32	$2.12\text{E}+17$	$2.55\text{E}+17$	$2.84\text{E}+17$
33	$2.09\text{E}+17$	$2.52\text{E}+17$	$2.83\text{E}+17$
37	$2.00\text{E}+17$	$2.43\text{E}+17$	$2.81\text{E}+17$
38	$1.99\text{E}+17$	$2.41\text{E}+17$	$2.80\text{E}+17$
40	$1.95\text{E}+17$	$2.37\text{E}+17$	$2.78\text{E}+17$
42	$1.93\text{E}+17$	$2.32\text{E}+17$	$2.75\text{E}+17$

【0030】

図8は、ドレイン電圧 V_d [V] が 1.5 [V] のときにスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] を 2×10^{-12} [$\text{A}/\mu\text{m}$] にする SOI 層 13 の不純物濃度 D_s [cm^{-3}] 及び SOI 層 13 の膜厚 t_s [nm] を示す曲線及びこれを近似した直線を示す図である。

【0031】

図8に示される点 Q_1 においては、 $t_s = 42$ [nm] であり、 $D_s = 2.3 \times 10^{17}$ [cm^{-3}] である。また、点 Q_2 においては、 $t_s = 28$ [nm] であり、 $D_s = 2.69 \times 10^{17}$ [cm^{-3}] である。従って、点 Q_1 と点 Q_2 とを通る直線 Q_1Q_2 は、

$$t_s = - \{ (14 / (0.37 \times 10^{17})) \} D_s + 129.78$$

となる。この式から

$$\begin{aligned} D_s &= \{ (0.37 \times 10^{17}) / 14 \} \times (129.78 - t_s) \\ &= 2.64 \times 10^{15} \times (129.78 - t_s) \end{aligned}$$

が得られる。

【0032】

また、直線 Q_1Q_2 と同じ勾配を持ち、点 Q_3 ($t_s = 33$ [nm] のときに $D_s = 2.52 \times 10^{17}$ [cm^{-3}]) を通る直線 Q_4Q_5 は、

$$t_s = - \{ (14 / (0.37 \times 10^{17})) \} D_s + 128.35$$

となる。この式から

$$D_s = \{ (0.37 \times 10^{17}) / 14 \} \times (128.35 - t_s) \\ = 2.64 \times 10^{15} \times (128.35 - t_s)$$

が得られる。

【0033】

従って、SOI層13の不純物濃度 D_f [cm^{-3}] が以下の条件(2)、
 $D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \quad \dots (2)$

を満足すれば、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] は 2.0×10^{-12} [$\text{A}/\mu\text{m}$] 以上となり、FD-MOSFETのゲート閾値電圧 V_t [V] のばらつき σ [V] を小さくできる。また、SOI層13の不純物濃度 D_p [cm^{-3}] が以下の条件(4)、

$$D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \quad \dots (4)$$

を満足すれば、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] は 2.0×10^{-12} [$\text{A}/\mu\text{m}$] 以下となり、PD-MOSFETのゲート閾値電圧 V_t [V] のばらつき σ [V] を小さくできる。

【0034】

<条件(1) 及び(2) を満足する領域、並びに、条件(3) 及び(4) を満足する領域>

図9は、FD動作領域であり且つスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 2×10^{-12} [$\text{A}/\mu\text{m}$] 以上となる領域(左側斜線領域)と、PD動作領域であり且つスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 2×10^{-12} [$\text{A}/\mu\text{m}$] 以下となる領域(右側斜線領域)を示す図である。図9の左側斜線領域は、FD-MOSFET形成領域1が満たすべき条件である条件(1) 及び(2) を満足し、図9の右側斜線領域は、PD-MOSFET形成領域2が満たすべき条件である条件(3) 及び(4) を満足する。

【0035】

<条件(5) の根拠>

図10は、ドレイン電圧 V_d [V] が1.5 [V] のときにスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] を 2×10^{-11} [$\text{A}/\mu\text{m}$] にするSOI層13の不純物濃度 D_s [cm^{-3}] 及びSOI層13の膜厚 t_s [nm] を示す曲線及びこれ

を近似した直線を示す図である。

【0036】

図10に示される点 R_1 においては、 $t_s = 42$ [nm] であり、 $D_s = 1.93 \times 10^{17}$ [cm $^{-3}$] である。また、点 R_2 においては、 $t_s = 28$ [nm] であり、 $D_s = 2.35 \times 10^{17}$ [cm $^{-3}$] である。従って、点 R_1 と点 R_2 とを通る直線 $R_1 R_2$ は、

$$t_s = - \{ (14 / (0.42 \times 10^{17})) \} D_s + 106.33$$

となる。直線 $R_1 R_2$ と同じ勾配を持ち、点 R_3 ($t_s = 32$ [nm]) のときに $D_s = 2.12 \times 10^{17}$ [cm $^{-3}$] を通る直線 $R_4 R_5$ は、

$$t_s = - \{ (14 / (0.42 \times 10^{17})) \} D_s + 102.67$$

となる。この式から

$$\begin{aligned} D_s &= \{ (0.42 \times 10^{17}) / 14 \} \times (102.67 - t_s) \\ &= 3.00 \times 10^{15} \times (102.67 - t_s) \end{aligned}$$

が得られる。

【0037】

従って、SOI層13の不純物濃度 D_f [cm $^{-3}$] が以下の条件(5)、
 $D_f \leq 3.00 \times 10^{15} \times (102.67 - t_s) \quad \dots (5)$
 を満足すれば、スタンバイ電流 I_{off} [A/ μ m] は 2.0×10^{-11} [A/ μ m] 以上となり、FD-MOSFETのゲート閾値電圧の V_t [V] のばらつき σ [V] を一層小さくできる。

【0038】

<条件(6)の根拠>

図11は、ドレイン電圧 V_d [V] が1.5 [V] のときにスタンバイ電流 I_{off} [A/ μ m] を 2×10^{-13} [A/ μ m] にするSOI層13の不純物濃度 D_s [cm $^{-3}$] 及びSOI層13の膜厚 t_s [nm] を示す曲線及びこれを近似した直線を示す図である。

【0039】

図11に示される点 S_1 においては、 $t_s = 42$ [nm] であり、 $D_s = 2.75 \times 10^{17}$ [cm $^{-3}$] である。また、点 S_2 においては、 $t_s = 28$ [n

m] であり、 $D_s = 3.21 \times 10^{17} [\text{cm}^{-3}]$ である。従って、点 S_1 と点 S_2 とを通る直線 $S_1 S_2$ は、

$$t_s = - \{ (14 / (0.46 \times 10^{17})) \} D_s + 125.70$$

となる。この式から

$$\begin{aligned} D_s &= \{ (0.46 \times 10^{17}) / 14 \} \times (125.70 - t_s) \\ &= 3.29 \times 10^{15} \times (125.70 - t_s) \end{aligned}$$

が得られる。

【0040】

従って、SOI 層 13 の不純物濃度 $D_p [\text{cm}^{-3}]$ が以下の条件 (6)、
 $D_f \geq 3.29 \times 10^{15} \times (125.70 - t_s) \quad \dots (6)$
 を満足すれば、スタンバイ電流 $I_{off} [\text{A}/\mu\text{m}]$ は $2.0 \times 10^{-13} [\text{A}/\mu\text{m}]$ 以下となり、PD-MOSFET のゲート閾値電圧の $V_t [\text{V}]$ のばらつき $\sigma [\text{V}]$ を一層小さくできる。

【0041】

<ドレイン電圧依存性>

図 12 は、ドレイン電圧 $V_d [\text{V}]$ が 1.2 [V]、1.5 [V]、1.8 [V] のときの FD-MOSFET 及び PD-MOSFET のスタンバイ電流 $I_{off} [\text{A}/\mu\text{m}]$ とゲート閾値電圧 $V_t [\text{V}]$ のばらつき (標準偏差) $\sigma [\text{V}]$ との関係を示す図である。図 12 は、実測データ及びこの実測データに基づくシミュレーションによって得られたデータである。

【0042】

図 12 において、 $\Delta V_t = 0.014 [\text{V}]$ の曲線 (ドレイン電圧 $V_d [\text{V}]$ が 1.2 [V]、1.5 [V]、1.8 [V] のとき) はいずれも FD 動作する FD-MOSFET のスタンバイ電流 $I_{off} [\text{A}/\mu\text{m}]$ が小さくなるほど (図 12 において右端に近づくほど) ゲート閾値電圧 $V_t [\text{V}]$ のばらつき $\sigma [\text{V}]$ が大きくなる。

【0043】

図 12 (及び図 6) に示されるように、ドレイン電圧 $V_d [\text{V}]$ が 1.5 [V] で、 $\Delta V_t = 0.014 [\text{V}]$ の曲線において、スタンバイ電流 $I_{off} [\text{A}$

$/\mu\text{m}$] が 2×10^{-12} [$\text{A}/\mu\text{m}$] となるときのゲート閾値電圧 V_t [V] のばらつき σ [V] は、約 0.018 [V] である。

【0044】

また、図12に示されるように、ドレイン電圧 V_d [V] が 1.2 [V] で、 $\Delta V_t = 0.014$ [V] の曲線が $\sigma = 0.018$ [V] を示すスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] は、約 1.3×10^{-12} [$\text{A}/\mu\text{m}$] (図においては、「 $1.3 \text{E}-12$ [$\text{A}/\mu\text{m}$]」と表記する。) である。図12から分かるように、ドレイン電圧 V_d [V] が 1.2 [V] で、 $\Delta V_t = 0.014$ [V] の曲線は、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 1.3×10^{-12} [$\text{A}/\mu\text{m}$] より小さくなると、急激に増加する。従って、ドレイン電圧 V_d [V] として 1.2 [V] が印加される FD-MOSFET は、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 1.3×10^{-12} [$\text{A}/\mu\text{m}$] 以上になるように製造することが望ましい。

【0045】

また、図12に示されるように、ドレイン電圧 V_d [V] が 1.8 [V] で、 $\Delta V_t = 0.014$ [V] の曲線が $\sigma = 0.018$ [V] を示すスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] は、約 3×10^{-12} [$\text{A}/\mu\text{m}$] (図においては、「 $3 \text{E}-12$ [$\text{A}/\mu\text{m}$]」と表記する。) である。図12から分かるように、ドレイン電圧 V_d [V] が 1.8 [V] で、 $\Delta V_t = 0.014$ [V] の曲線は、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 3×10^{-12} [$\text{A}/\mu\text{m}$] より小さくなると、急激に増加する。従って、ドレイン電圧 V_d [V] として 1.8 [V] が印加される FD-MOSFET は、スタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が 3×10^{-12} [$\text{A}/\mu\text{m}$] 以上になるように製造することが望ましい。

【0046】

図12において、 $\Delta V_t = 0.006$ [V] の曲線 (ドレイン電圧 V_d [V] が 1.2 [V]、1.5 [V]、1.8 [V] のとき) はいずれも PD 動作領域に形成された PD-MOSFET のスタンバイ電流 I_{off} [$\text{A}/\mu\text{m}$] が大きくなるほど (図12において左端に近づくほど) ゲート閾値電圧 V_t [V] のばらつき σ [V] が大きくなる。従って、ドレイン電圧 V_d [V] として 1.2 [

V] が印加されるPD-MOSFETは、スタンバイ電流 I_{off} [$A/\mu m$] が 1.3×10^{-12} [$A/\mu m$] 以下になるように製造することが望ましい。また、ドレイン電圧 V_d [V] として1.8 [V] が印加されるPD-MOSFETは、スタンバイ電流 I_{off} [$A/\mu m$] が 3×10^{-12} [$A/\mu m$] 以下になるように製造することが望ましい。

【0047】

図13は、ドレイン電圧 V_d [V] が1.2 [V] のときにスタンバイ電流 I_{off} [$A/\mu m$] を 1.3×10^{-11} [$A/\mu m$]、 1.3×10^{-12} [$A/\mu m$]、 1.3×10^{-13} [$A/\mu m$] にするSOI層13の不純物濃度 D_s [cm^{-3}] 及びSOI層13の膜厚 t_s [nm] を示す図である。図13は、実測データ及びこの実測データを用いたシミュレーションに基づく。図13に示されるように、ドレイン電圧 V_d [V] を1.2 [V] にした場合であっても、ドレイン電圧 V_d [V] を1.5 [V] にした場合とほぼ同じ特性が得られる。

【0048】

図14は、ドレイン電圧 V_d [V] が1.8 [V] のときにスタンバイ電流 I_{off} [$A/\mu m$] を 3×10^{-11} [$A/\mu m$]、 3×10^{-12} [$A/\mu m$]、 3×10^{-13} [$A/\mu m$] にするSOI層13の不純物濃度 D_s [cm^{-3}] 及びSOI層13の膜厚 t_s [nm] を示す図である。図14は、実測データ及びこの実測データを用いたシミュレーションに基づく。図14に示されるように、ドレイン電圧 V_d [V] を1.8 [V] にした場合であっても、ドレイン電圧 V_d [V] を1.5 [V] にした場合とほぼ同じ特性が得られる。従って、ドレイン電圧が変化しても上記条件(1)乃至(6)を適用できる。

【0049】

【発明の効果】

以上に説明したように、本発明に係る半導体装置の製造方法によれば、SOI層の膜厚が非常に薄いSOI基板上に、同じSOI層をチャネル領域とし、電気的特性のばらつきの小さいFD-MOSFET及びPD-MOSFETを形成できるという効果がある。

【0050】

また、本発明に係る半導体装置によれば、SOI層の膜厚が非常に薄いSOI基板上に、同じSOI層をチャネル領域として形成されたFD-MOSFET及びPD-MOSFETの電気的特性のばらつきを小さくできるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係る半導体装置の製造プロセス（その1）を示す概略的な断面図である。

【図2】 本発明の実施の形態に係る半導体装置の製造プロセス（その2）を示す概略的な断面図である。

【図3】 本発明の実施の形態に係る半導体装置の製造プロセス（その3）を示す概略的な断面図である。

【図4】 SOI層の不純物濃度 $[cm^{-3}]$ と、基板電圧 $-2[V]$ 時と基板電圧 $0[V]$ 時のゲート閾値電圧の変化量 $[V]$ との関係を示す図である。

【図5】 FD動作領域及びPD動作領域の境界がSOI層の不純物濃度 $[cm^{-3}]$ 及びSOI層の膜厚 $[nm]$ にどのように依存するかを示す図である。

【図6】 ドレイン電圧が $1.5[V]$ のときのFD-MOSFET及びPD-MOSFETのスタンバイ電流 $[A/\mu m]$ とゲート閾値電圧のばらつき $[V]$ との関係を示す図である。

【図7】 ドレイン電圧が $1.5[V]$ であり、スタンバイ電流が $2 \times 10^{-11}[A/\mu m]$ 、 $2 \times 10^{-12}[A/\mu m]$ 、 $2 \times 10^{-13}[A/\mu m]$ になるときのSOI層の不純物濃度 $[cm^{-3}]$ 及びSOI層の膜厚 $[nm]$ を示す図である。

【図8】 ドレイン電圧が $1.5[V]$ であり、スタンバイ電流が $2 \times 10^{-12}[A/\mu m]$ となる曲線及びこれを近似した直線を示す図である。

【図9】 FD動作領域であり且つスタンバイ電流が $2 \times 10^{-12}[A/\mu m]$ 以下となる領域（左側斜線領域）と、PD動作領域であり且つスタンバイ電流が $2 \times 10^{-12}[A/\mu m]$ 以上となる領域（右側斜線領域）を示す図で

ある。

【図10】 ドレイン電圧が1.5 [V] であり、スタンバイ電流が 2×10^{-11} [A/ μ m] となる曲線及びこれを近似した直線を示す図である。

【図11】 ドレイン電圧が1.5 [V] であり、スタンバイ電流が 2×10^{-13} [A/ μ m] となる曲線及びこれを近似した直線を示す図である。

【図12】 ドレイン電圧が1.2 [V]、1.5 [V]、1.8 [V] のときのFD-MOSFET及びPD-MOSFETのスタンバイ電流 [A/ μ m] とゲート閾値電圧のばらつき [V] との関係を示す図である。

【図13】 ドレイン電圧が1.2 [V] であり、スタンバイ電流が 1.3×10^{-11} [A/ μ m]、 1.3×10^{-12} [A/ μ m]、 1.3×10^{-13} [A/ μ m] になるときのSOI層の不純物濃度 [cm^{-3}] 及びSOI層の膜厚 [nm] を示す図である。

【図14】 ドレイン電圧が1.8 [V] であり、スタンバイ電流が 3×10^{-11} [A/ μ m]、 3×10^{-12} [A/ μ m]、 3×10^{-13} [A/ μ m] になるときのSOI層の不純物濃度 [cm^{-3}] 及びSOI層の膜厚 [nm] を示す図である。

【符号の説明】

- 1 FD-MOSFET形成領域、
- 2 PD-MOSFET形成領域、
- 10 SOI基板、
- 11 シリコン基板、
- 12 埋め込み酸化膜、
- 13 SOI層（単結晶シリコン層）、
- 14 窒化シリコン膜、
- 20 FD-MOSFET、
- 30 PD-MOSFET、
- 21, 31 ゲート酸化膜、
- 22, 32 ゲート電極、
- 23, 33 ソース領域、

24, 34 ドレイン領域、

25, 35 チャネル領域、

26, 36 側壁酸化膜、

V_t ゲート閾値電圧、

ΔV_t 基板電圧-2 [V] 時と基板電圧 0 [V] 時のゲート閾値電圧の変化量、

V_b 基板電圧、

V_d ドレイン電圧、

V_g ゲート電圧、

σ ゲート閾値電圧のばらつき（標準偏差）、

I_{off} スタンバイ電流、

t_s SOI 層の膜厚、

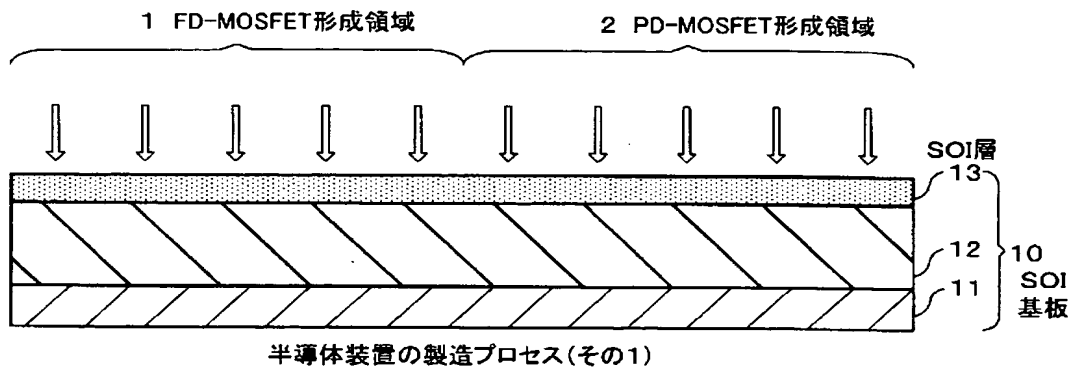
D_s SOI 層の不純物濃度、

D_f FD-MOSFET 形成領域の SOI 層の不純物濃度、

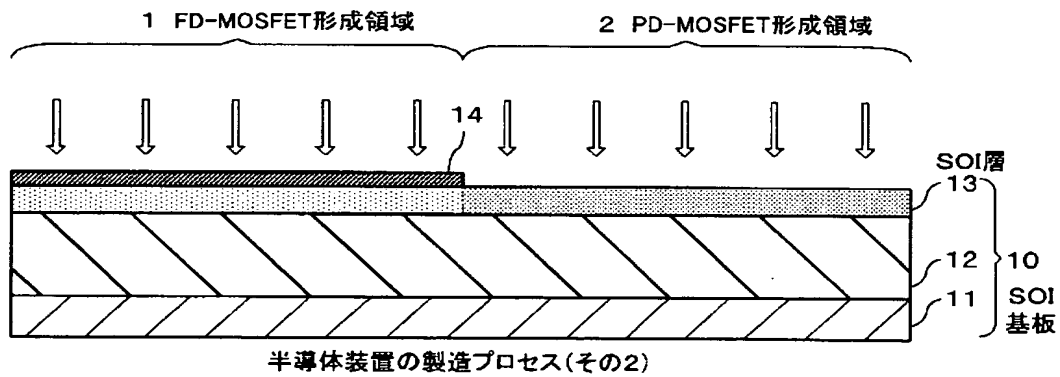
D_p PD-MOSFET 形成領域の SOI 層の不純物濃度。

【書類名】 図面

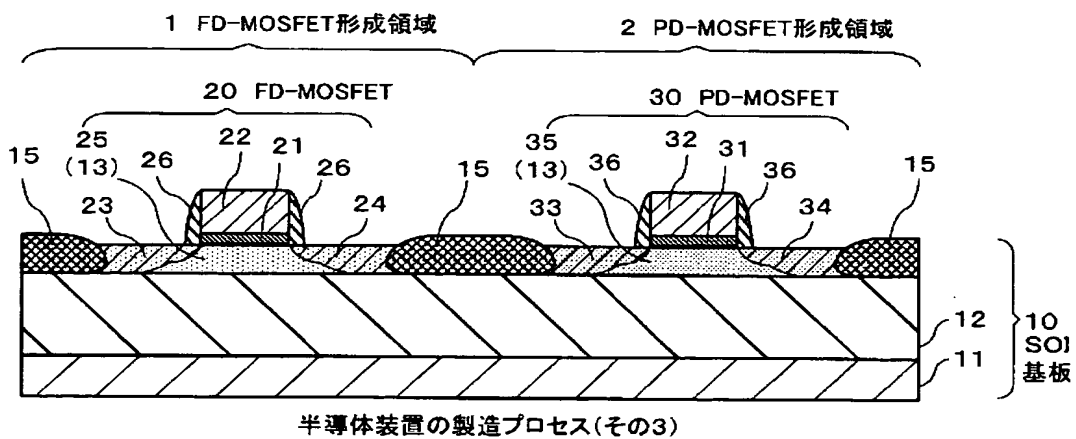
【図 1】



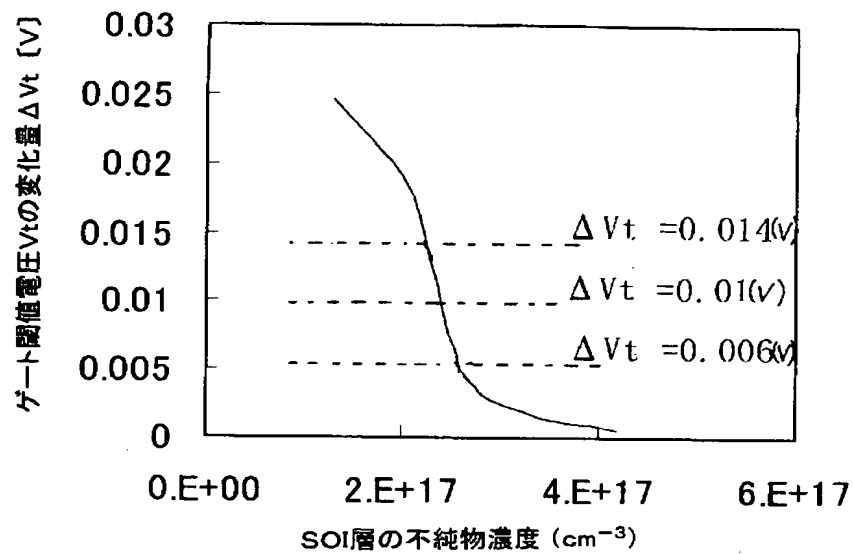
【図 2】



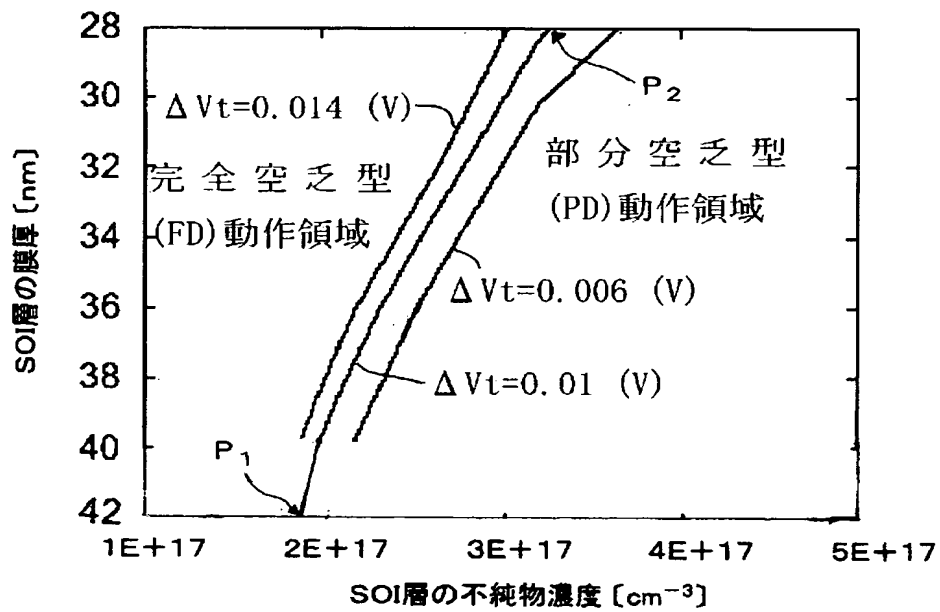
【図 3】



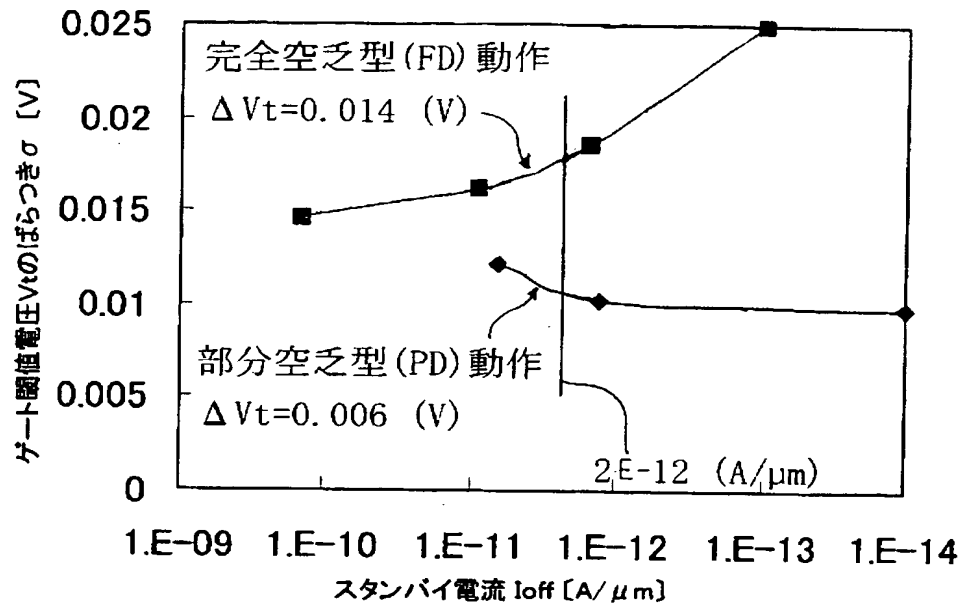
【図 4】



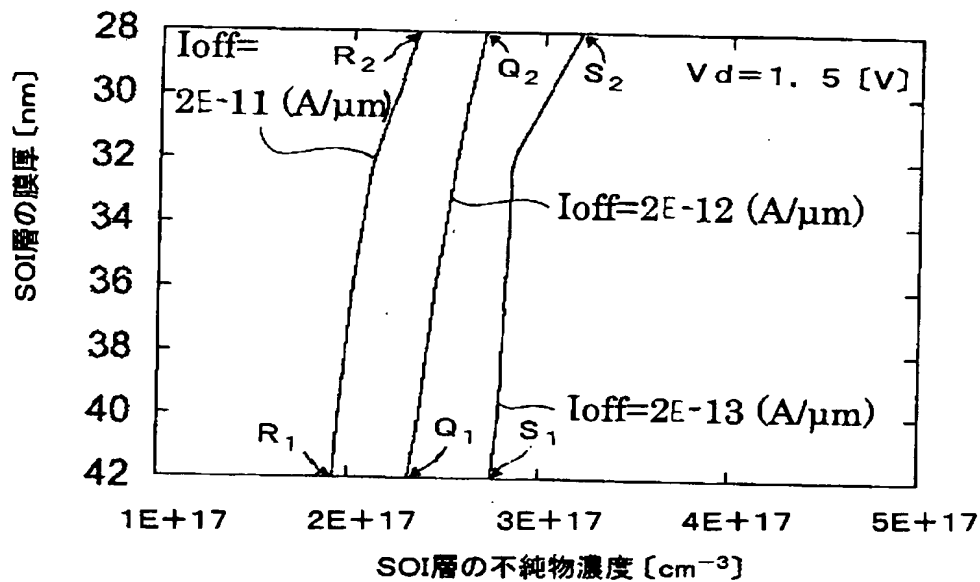
【図 5】



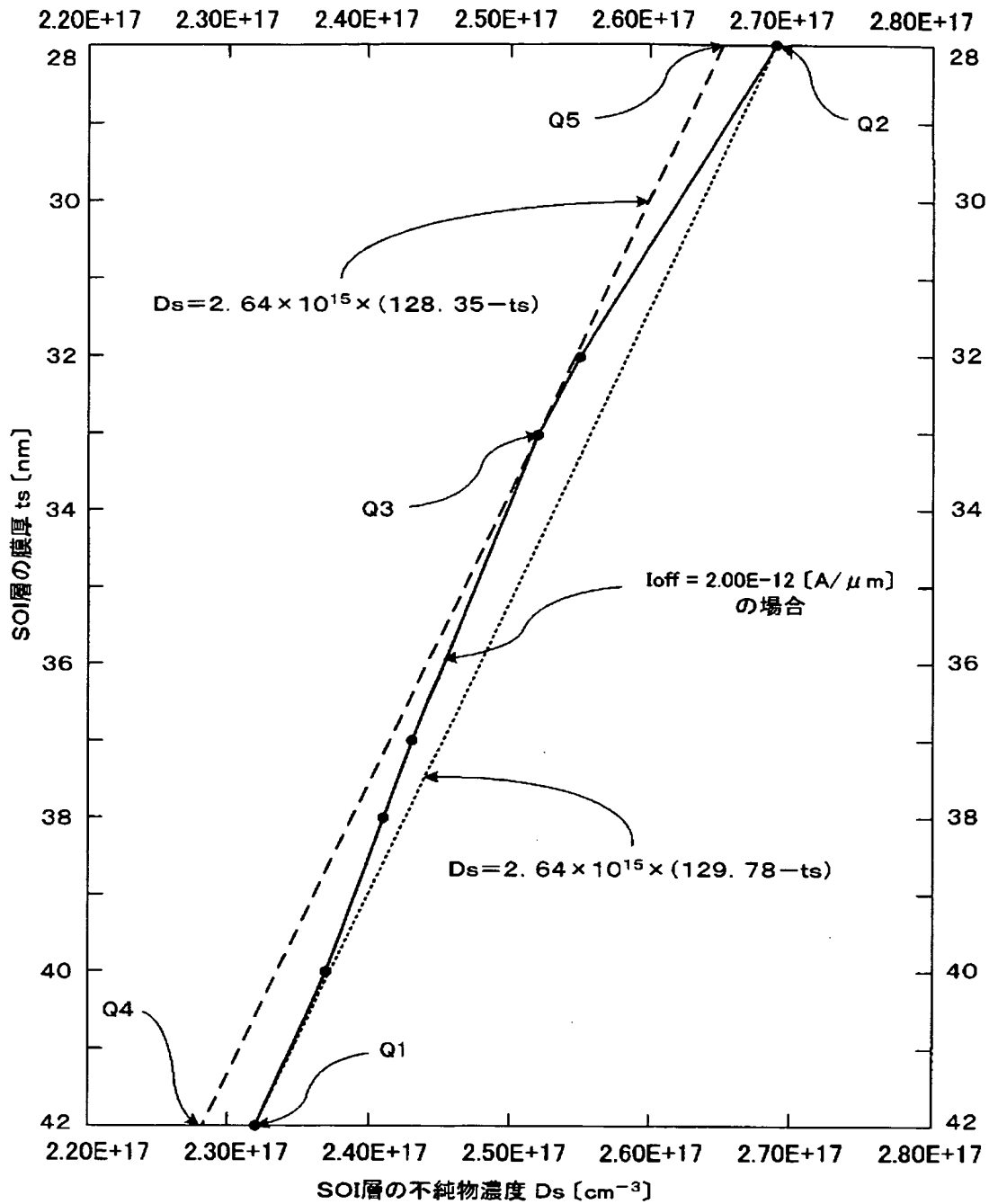
【図 6】



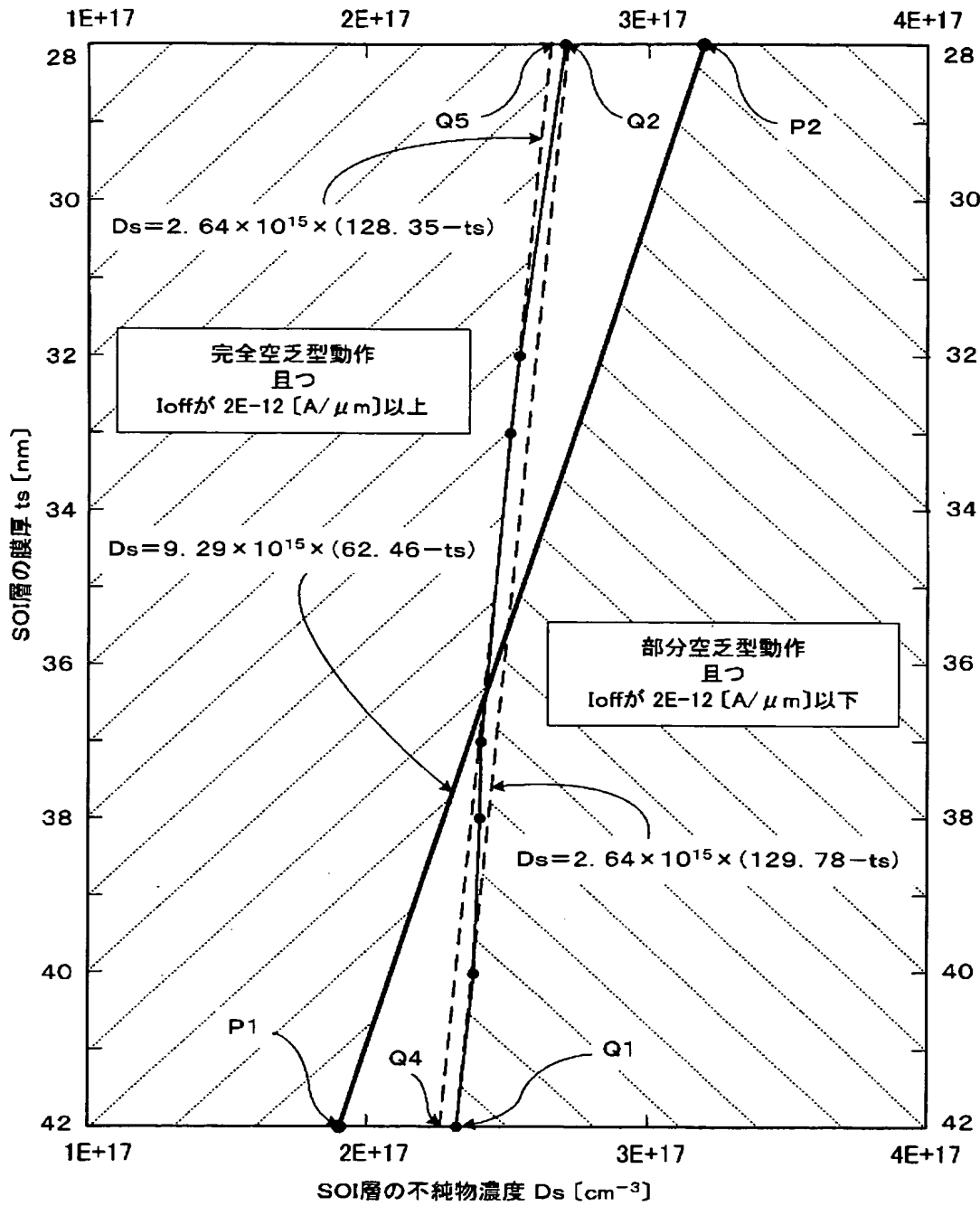
【図 7】



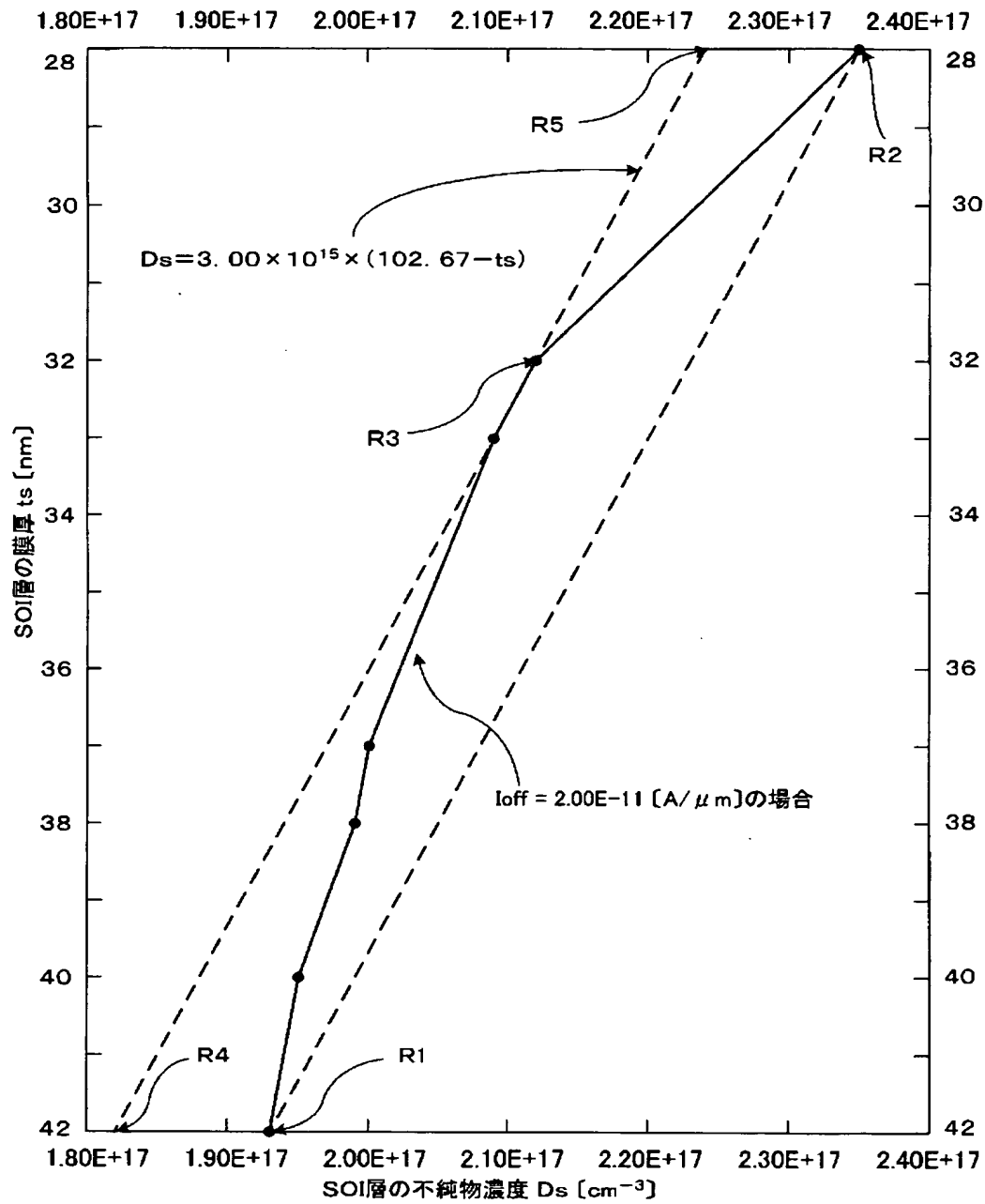
【図 8】



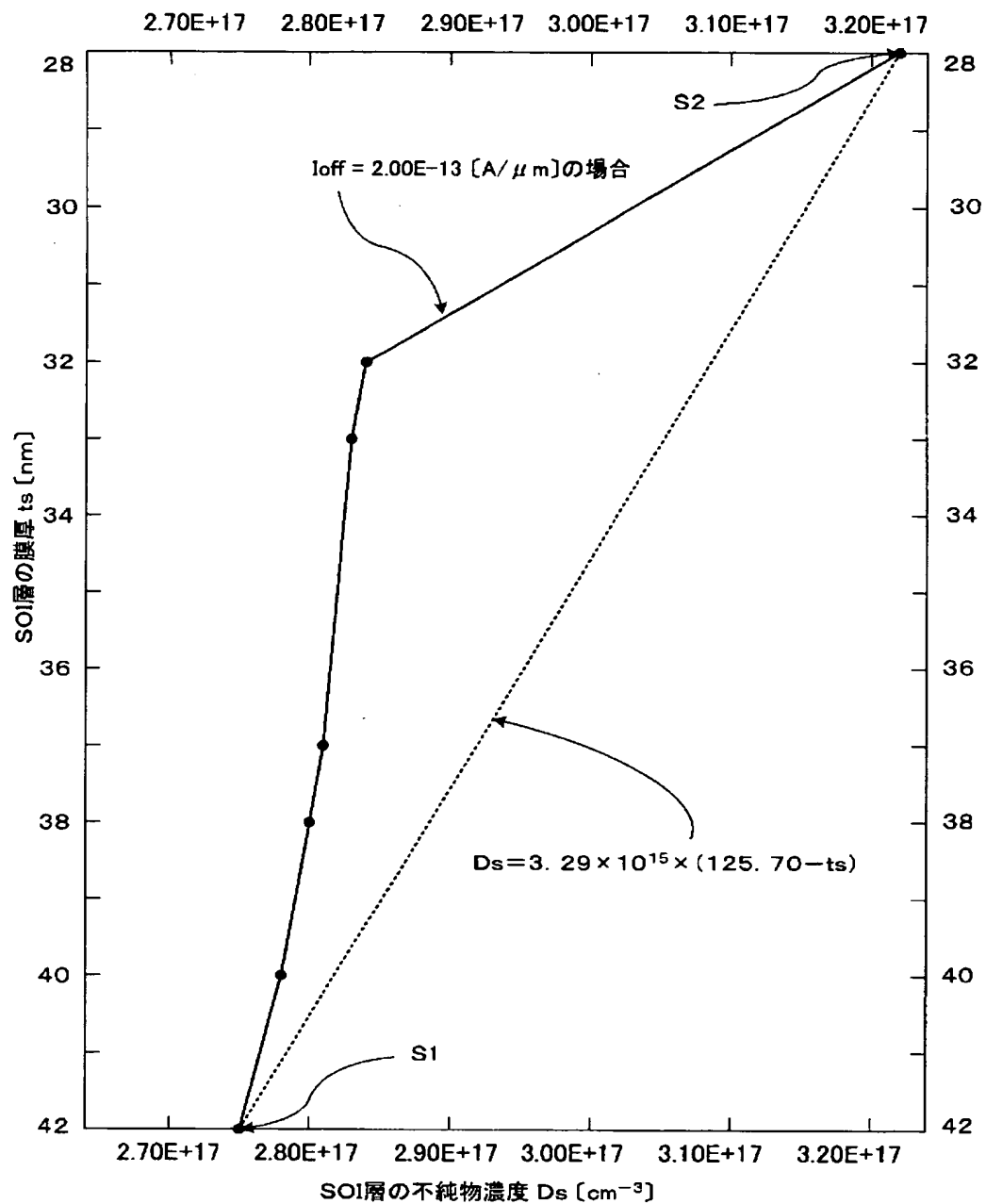
【図 9】



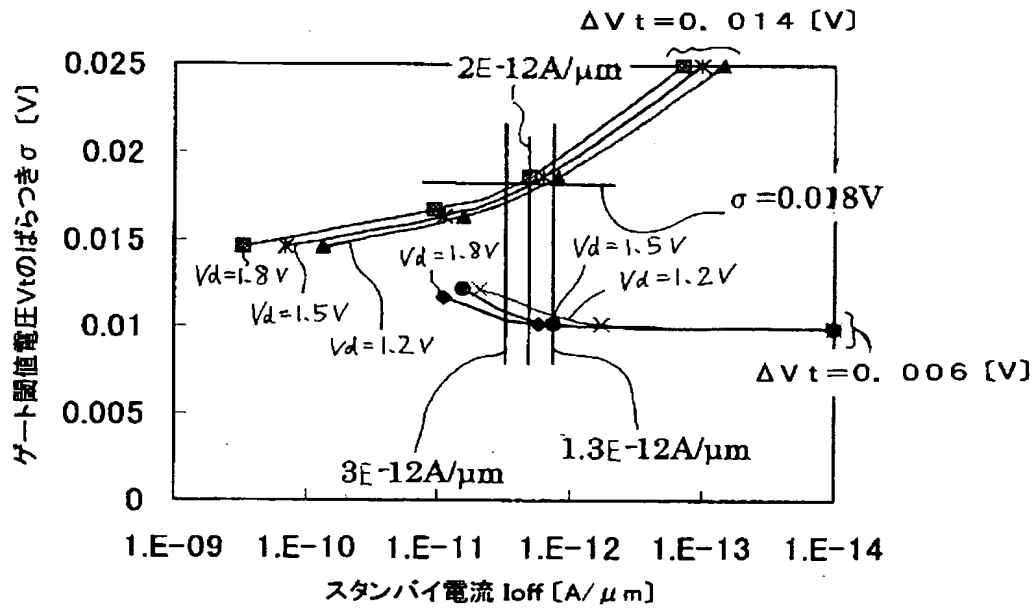
【図10】



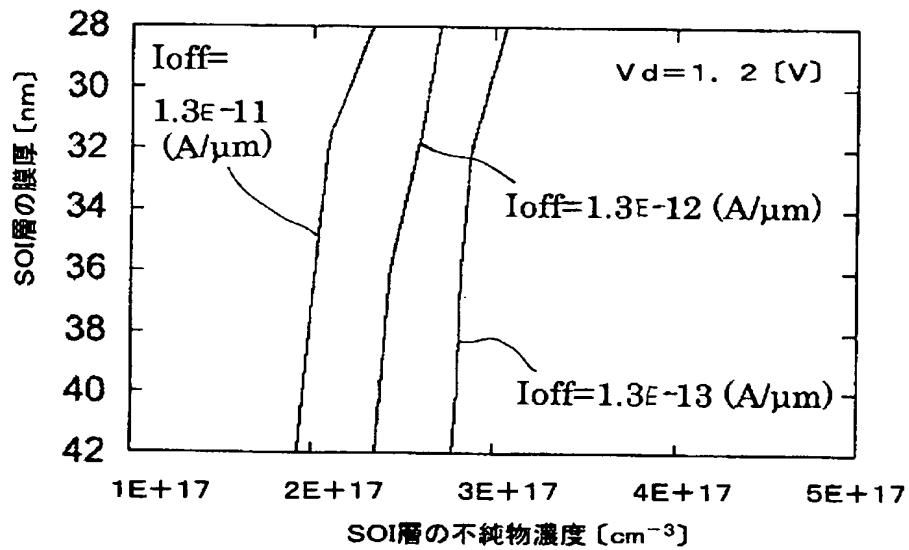
【図 11】



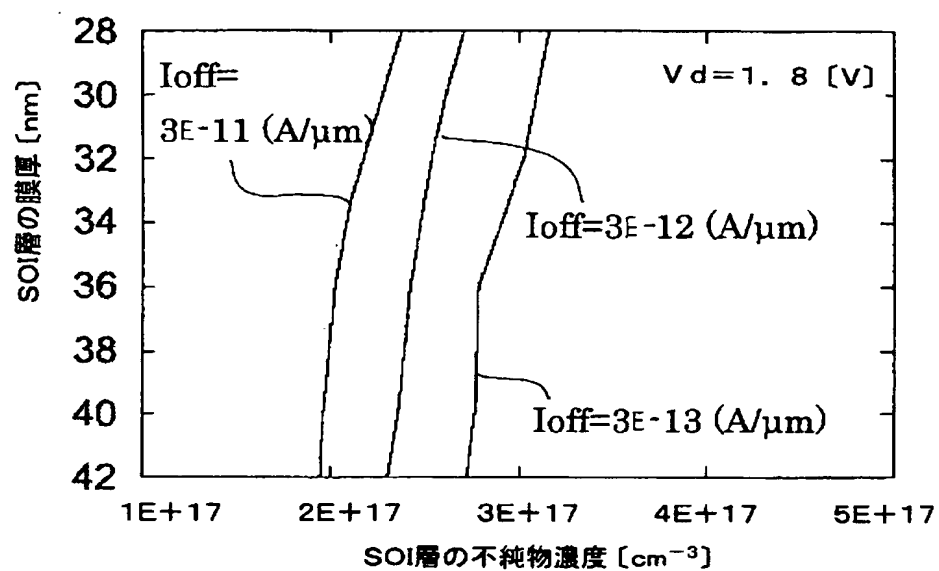
【図12】



【図13】



【図 14】



【書類名】 要約書

【要約】

【課題】 薄いSOI層をチャネル領域とし、電気的特性ばらつきの小さいFD及びPD-MOSFETを備えた半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、SOI層13に不純物を導入する工程と、SOI層をチャネル領域25, 35としたN型MOSFET20, 30を形成する工程とを有する。SOI層膜厚 t_s が $28 \sim 42$ [nm] 内にある場合に、FD-MOSFET形成領域1のSOI層の不純物濃度 D_f [cm⁻³] が $D_f \leq 9.29 \times 10^{15} \times (62.46 - t_s) \cdots (1)$ と $D_f \leq 2.64 \times 10^{15} \times (128.35 - t_s) \cdots (2)$ とを満足し、PD-MOSFET形成領域2のSOI層の不純物濃度 D_p [cm⁻³] が、 $D_p \geq 9.29 \times 10^{15} \times (62.46 - t_s) \cdots (3)$ と $D_p \geq 2.64 \times 10^{15} \times (129.78 - t_s) \cdots (4)$ とを満足する。

【選択図】 図3

特願 2 0 0 2 - 3 1 0 4 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 2 日
新規登録

住 所
氏 名

東京都港区虎ノ門1丁目7番12号
沖電気工業株式会社